

DRIVING METHOD FOR LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP6110035
Publication date: 1994-04-22
Inventor(s): KAWACHI YUJI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP6110035
Application Number: JP19920258403 19920928
Priority Number(s):
IPC Classification: G02F1/133; G02F1/136; G09G3/36
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a fine image with high resolution by the active matrix display device by lowering the level of a flicker which causes the display quality to decrease while the irregularity of the flicker on a screen due to an increase in the capacity of gate lines for high density is a technical problem.
CONSTITUTION: The rising waveform of a scanning line waveform is, for example, a ramp waveform, exponential function waveform, or staircase waveform. Thus, high frequency components are made small to reduce the potential drop of a pixel potential waveform outputted by a high-pass filter consisting of a transistor, a parasitic capacitance between scanning lines, and a resistance used by regarding the transistor as a variable resistance. Consequently, the flicker can be suppressed low and the image of high quality is obtained.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-110035

(43) 公開日 平成6年(1994)4月22日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------|--------|
| G 0 2 F | 1/133 | 5 5 0 | 9226-2K | |
| | 1/136 | 5 0 0 | 9018-2K | |
| G 0 9 G | 3/36 | | 7319-5G | |

審査請求 未請求 請求項の数 3 (全 5 頁)

(21) 出願番号 特願平4-258403

(22) 出願日 平成4年(1992)9月28日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 河内 裕二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【要約】

【目的】 アクティブマトリックス液晶表示装置において、フリッカーは表示品質を落とす原因となる。又高密度化においてゲートラインの容量増加に供なうフリッカーの画面内のむらは技術的課題として挙げられる。この様なフリッカーのレベルを下げ、高解像でキメ細かい画像を実現することを目的とする。

【構成】 走査線波形の立ち下がり波形をランプ状波形又は指数関数波形又は階段状波形とする。

【効果】 この様にして高周波成分を小さくすることで、トランジスタと走査線間の寄生容量とトランジスタを可変抵抗と見なした抵抗で構成されるハイパスフィルター出力の画素電位波形における電位降下を小さくすることが可能となる。これによりフリッカーを低く押えることが可能となり、高品位の画像が実現できる。

【特許請求の範囲】

【請求項1】 マトリックス状にデータ線と走査線が配置され、その交点部近くに少なくとも1つ以上のスイッチングトランジスタを有し、該トランジスタのゲートが走査線に接続し、又該トランジスタのソースがデータ線に接続され、さらに該トランジスタのドレインが透明画素電極に接続されたアクティブマトリックス基板を有する液晶表示装置において、走査信号の電圧波形におけるパルスの立ち下がり波形がランプ波形となっていることを特徴とする液晶表示装置の駆動方法。

【請求項2】 請求項1記載の液晶表示装置において走査信号の電圧波形におけるパルスの立ち下がり波形が指数関数波形となっていることを特徴とする液晶表示装置の駆動方法。

【請求項3】 請求項1記載の液晶表示装置において走査信号の電圧波形におけるパルスの立ち下がり波形が階段状波形となっていることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 液晶表示装置に関するものである。

【0002】

【従来の技術】 従来のアクティブマトリックス液晶表示体における走査線の信号は図6に示す矩形波をしていた。走査線に順次パルス幅分遅延させた走査信号を入力することで走査線にある各画素のトランジスタのゲートをオンさせ、各画素へ信号線より映像信号を書き込む動作をしていた。NTSC方式のTV信号の場合では水平走査期間分の63.5 μ secのパルス幅で走査信号を各ゲートラインに与え、その期間ずっと走査線に通ずるトランジスタのゲートはオンした状態である。

【0003】

【発明が解決しようとする課題】 従来の走査線信号では立ち下がり波形も矩形波の状態であるから、高周波成分が高い信号である。一方図4に示す画素等価回路においてトランジスタ3のドレインとゲートで構成される寄生容量6とトランジスタ3を可変抵抗と見なした場合の抵抗で構成されるハイパスフィルター回路の出口が画素電位である。つまり走査線の信号は高周波成分を持ったため減衰することなく、寄生容量6を介して画素電位に通じる。このため大きな電位降下 ΔV （図5の ΔV ）が生じ、フリッカーの原因となっている。又アクティブマトリックス基板を用いて高密度化が可能ではあるが、この画素電位の電位降下のため特に高密度の仕様ではゲートラインの容量が大きいため面内においてフリッカーのレベルが異なる現象が生じる。

【0004】 これは共通電極電位を画面内のある位置においてフリッカーの最小となる位置に合わせても、別の位置ではフリッカーが生じるという現象が生じ、適正な

共通電極電位が存在しない状態になる。高密度化技術の大きな課題点となっていた。

【0005】

【課題を解決するための手段】 マトリックス状にデータ線と走査線が配置され、その交点部近くに少なくとも1つ以上のスイッチングトランジスタを有し、該トランジスタのゲートが走査線に接続し又該トランジスタのソースがデータ線に接続され、さらに該トランジスタのドレインが透明画素電極に接続されたアクティブマトリックス基板を有する液晶表示装置において、その走査信号の駆動方法での走査信号の立ち下がり波形がランプ波形又は指数関数波形又は階段状波形であることを特徴とする。

【0006】

【作用】 液晶表示体の中でアクティブマトリックス基板を有する液晶表示体は画素数を増やして、同一画面サイズに高密度に画素を配置させることができる。これによってキメ細かな高解像度の鮮明な画面を実現できる。こうした高密度化技術の課題としてゲートラインに帰する容量が増加し、画面内特に画面の左右で適正な共通電極電位が異なる現象が生じる。これは面内で直流成分のバラツキが生じることでフリッカーの分布が発生することを意味する。こうした画像はチラツキが多く大変見づらいものである。

【0007】 このフリッカーの原因として考えられるものに画素の保持状態におけるゲートラインによる電位降下が画面の左右で異なる事が挙げられる。図4はアクティブマトリックス基板の1画素の等価図であるがトランジスタのドレイン部とゲートライン間の寄生容量6によって、図5に示す画素電位波形中の電位降下 ΔV が生じている。

【0008】 前述のフリッカーの面内分布を防止するためにはこの電位降下 ΔV の効果を小さくすることが考えられる。電位降下 ΔV はゲートラインの電圧、つまり走査信号と電圧と図4における画素容量と寄生容量の比によって決まる値である。画素容量と寄生容量はアクティブマトリックス基板の仕様と構造で決ってくるので大きな効果は期待できない。とすると走査信号の電圧によって電位降下 ΔV の値を小さくするわけであるが、走査信号の電圧のハイレベルの電圧を低く押えることは画素への書き込み能力を下げることになるので当然制約が生じる。ここで図4におけるトランジスタ3を一種の可変抵抗と考えると画素電位は入力がゲートライン1の走査信号で寄生容量6とトランジスタ（可変抵抗）3を介したハイパスフィルターの出口と考えられる。つまり走査信号の高周波成分は電圧降下なく通す回路となっている。

【0009】 寄生容量6による電位降下 ΔV を小さくするには走査信号の立ち下がり波形の高周波成分を無くする方法が考えられる。具体的には立ち下がり波形をランプ状又は指数関数波形にして緩やかな立ち下がりにする

3

ことである。又他には立ち下がり波形を階段状波形にすることで同様の効果が期待できる。これらの形状の波形にすることによって、走査信号による電位降下 ΔV はハイパスフィルター回路の効果によって通常に比べ小さく押えることができる。ひいてはフリッカーのレベルを押えることで面内の分布もめだたない程度に小さくすることが可能となる。

【0010】

【実施例】本発明における走査信号電位波形を図1、図2、図3に示す。図2は指数関数立ち下がり波形で、図7に示す用に走査線入力部に抵抗8と容量7を付加することで実現できる。液晶表示装置が外付けドライバー集積回路を用いる場合は、ドライバーICの最終段に前述の抵抗と容量を入れて実現できるし、又アクティブマトリックス基板上で走査線入力部に抵抗と容量を入れても可能である。これらの抵抗と容量の値を最適化して水平帰線区間以内の時定数で立ち下げる様にする。但し立ち上がりも同じ時定数で立ち上がるので、画素容量とデータ線への書き込みは充分速くできる能力は前提として必要になる。立ち上がりの時定数の影響がない範囲内で走査線の立ち下がり波形を指数関数波形にすることで、走査線波形の高周波成分を無くし画素電位波形の電位降下を緩和することが可能となる。

【0011】さらに指数関数波形を実現する他の方法として図8に示す様にバッファとしてのインバーターを入れてそのトランジスタサイズを最適化する方法がある。ドライバー回路が内蔵されたアクティブマトリックス基板では最終段バッファ回路のインバーターのサイズ及び電流特性を最適化することで同様の効果が得られる。

【0012】又前述の抵抗の材料としてはポリシリコンTFTでは、ゲート電極材料のドーパされたポリシリコンが考えられ、アモルファスシリコンTFTではN⁺アモルファスシリコン等を利用することが考えられる。

【0013】図1に示すのが本発明の走査信号の立ち下がり波形の中のランプ波形で、図9に示すオペアンプを利用した回路を走査線の入力前に入れることで実現が可能となる。ランプ波にすることによって図4のハイパスフィルターにおける可変抵抗とみなしたトランジスタ3を通過して逃げる電荷の量が、矩形波に比べ多くなり、振幅が小さくなる。つまり画素の電位降下の量は小さくなり、フリッカーも押えられることになる。

【0014】又ランプ波立ち下がりの時間は水平帰線区間内である必要があり、NTSC方式のビデオ信号であれば10.9 μ 秒以内ということになる。

【0015】さらに図3に示すのが本発明の走査信号の立ち下がり波形の中の階段状波形である。図10に示すブロック図がこの実施例の回路であり、前述の立ち下がりランプ波形発生回路の後にアナログスイッチ12を設け、そのゲートパルスとして階段波発生タイミングパル

4

スを入力する。図11にそれらの波形を示す。13がゲート立ち下がりランプ波電圧波形で、14が階段波発生用タイミングパルスの電圧波形である。この時のアナログスイッチ12の出力である走査信号波形を図12に示す。15が本発明の階段波形で、タイミングパルス14のデューティー比を最適化することで図3に示す波形に近付けることが可能となる。他の方法としては図13のブロック回路図に示すサンプルホールド回路を利用し階段波を作成する方法がある。サンプリングスイッチSを閉じるとランプ波形回路からの出力ランプ波形の振幅値に等しい電圧でコンデンサCに充電し、次にサンプリングスイッチSを開くとコンデンサの充電電圧が保持され出力される。サンプリングスイッチSのサンプリング時間のタイミングを最適化し所定の階段波を発生させることが可能となる。

【0016】

【発明の効果】本発明の液晶表示装置の駆動方法において走査信号を図1に示すランプ波、又は図2に示す指数関数波、又は図3に示す階段波の立ち下がり波形にすることによって、走査信号の高周波成分を小さくすることができる。図4に示すハイパスフィルター出口が画素電位であることから、走査線波形による画素電位降下を小さくすることができ、フリッカーを低く押えることが可能となる。さらにアクティブ液晶表示装置においては画素の高密度化におけるフリッカー画面内ムラを回避することが可能となり、キメ細かな高解像度の画像を実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の走査信号ランプ波立ち下がり波形図。

【図2】 本発明の走査信号指数関数波立ち下がり波形図。

【図3】 本発明の走査信号階段波立ち下がり波形図。

【図4】 本発明の1画素等価回路図。

【図5】 従来の技術の画素電位波形図。

【図6】 従来の技術の走査信号電位波形図。

【図7】 本発明の走査信号指数関数波立ち下がり波発生回路ブロック図。

【図8】 本発明の走査信号指数関数波立ち下がり波発生回路ブロック図。

【図9】 本発明の走査信号ランプ波立ち下がり波発生回路ブロック図。

【図10】 本発明の走査信号階段波立ち下がり波発生回路ブロック図。

【図11】 本発明の走査信号階段波立ち下がり波発生回路ブロックの電圧波形図。

【図12】 本発明の走査信号階段波立ち下がり波形図。

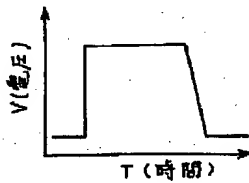
【図13】 本発明の走査信号階段波発生回路ブロック図。

【符号の説明】

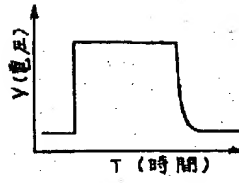
- 1 走査線
- 2 データ線
- 3 トランジスタ
- 4 画素容量
- 5 共通電極電位
- 6 トランジスタと走査線間の寄生容量
- 7 指数関数立ち下がり波発生容量
- 8 指数関数立ち下がり波発生抵抗

- 9 指数関数立ち下がり波発生インバーター
- 10 オペアンプ
- 11 インバーター
- 12 アナログスイッチ
- 13 ランプ立ち下がり波形
- 14 階段波発生用タイミングパルス
- 15 階段状立ち下がり走査信号波形
- 16 サンプルホールド回路中のオペアンプ
- 17 サンプリングスイッチ

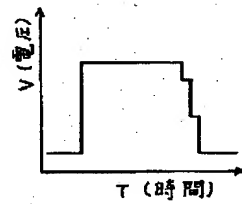
【図1】



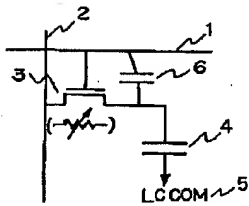
【図2】



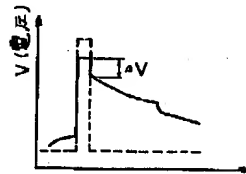
【図3】



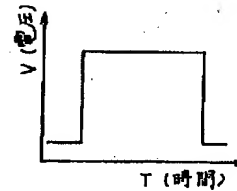
【図4】



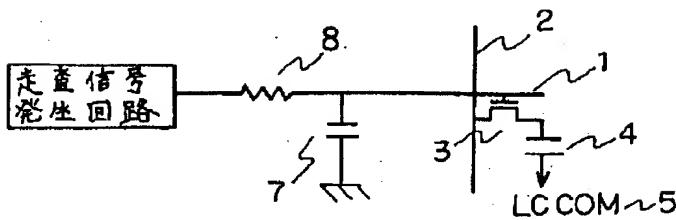
【図5】



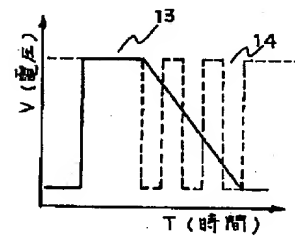
【図6】



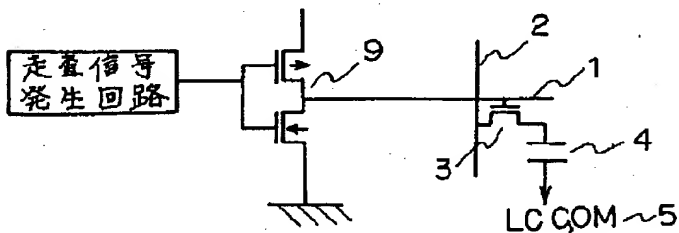
【図7】



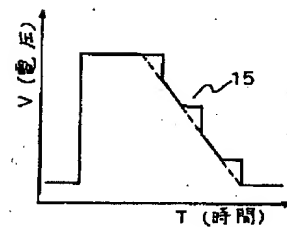
【図11】



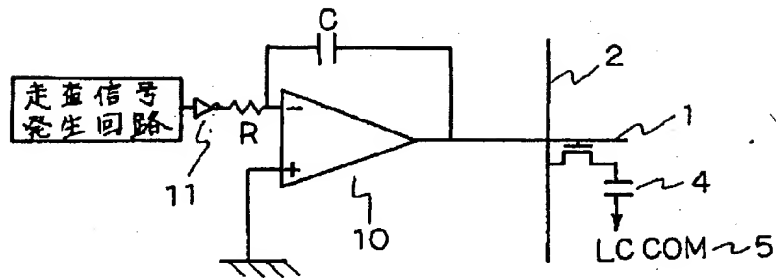
【図8】



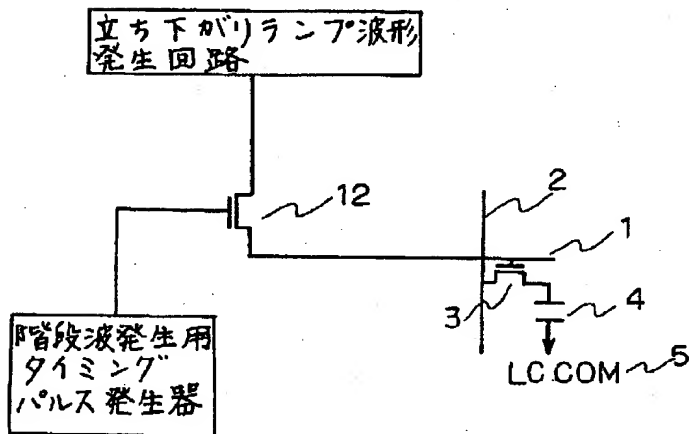
【図12】



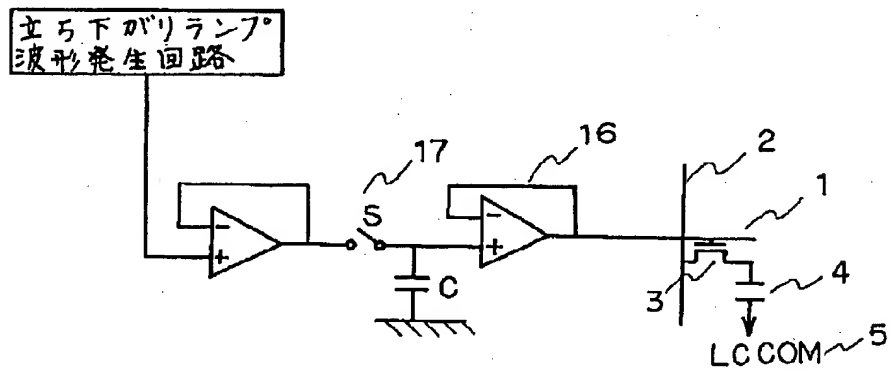
【図9】



【図10】



【図13】



**Excerpts from Japanese Patent Laid-Open Publication No. Hei
6-110035**

[0003]

[Problem to be solved by the Invention]

Because a scan line signal of the conventional art has a rectangular shape also at the falling edge, the signal has a large amount of high frequency components. In the equivalent circuit of a pixel shown in Fig. 4, on the other hand, the pixel potential is at an output of a high pass filter formed by a parasitic capacity 6 between a drain and a gate of the transistor 3 and a resistance when the transistor 3 is viewed as a variable resistor. In other words, because the signal of the scan line has high frequency components, it is not attenuated and is connected to the pixel potential via the parasitic capacitor 6. As a result, a large potential drop ΔV (ΔV of Fig. 5) is generated which causes a flicker. In addition, although densification is possible using an active matrix substrate, because of the potential drop in the pixel potential as described, the capacity of the gate line is large particularly in the configuration of high density, and thus, a phenomenon occurs in which the level of flicker differs over a surface.

[0008]

In order to prevent distribution of flicker over a surface as described before, a method can be considered in which the effect of the potential drop ΔV is reduced. The potential drop ΔV is determined by a voltage on the gate line, that is, a ratio between a scan signal, a voltage, the pixel capacitor, and parasitic capacitor in Fig. 4. The pixel capacitor and the parasitic capacitor are determined based on the configuration of the active matrix substrate, and thus, significant effect cannot be expected.

Therefore, the value of the potential drop ΔV must be reduced by a voltage of the scan signal. However, reduction of a high level voltage of the scan signal would reduce a writing capability to the pixel, and thus, such reduction is limited. When the transistor 3 in Fig. 4 is considered as a variable resistor, the pixel potential can be considered as an output of a high pass filter with the scan signal of the gate line 1 as an input and via the parasitic capacitor 6 and the transistor (variable resistor) 3. In other words, the circuit allows high frequency components of the scan signal to transmit through without a voltage drop.

[0009]

In order to reduce the potential voltage ΔV by the parasitic capacitor 6, another method can be considered in which the high frequency components in the falling waveform of the scan signal is removed. Specifically, a ramp waveform or a waveform of an exponential function is employed as the falling waveform to achieve a gradual fall. Alternatively, it is also possible to employ a step-shaped waveform as the falling waveform. By employing these shapes as the waveform, the potential drop ΔV by the scan signal can be inhibited to a low level compared to a typical case through the effects of the high pass filter circuit, which consequently allows for inhibition of the level of flicker and to reduce the distribution on the surface to a unnoticeable degree.

[0010]

[Embodiments]

Waveforms of potentials of a scan signal according to the present invention are shown in Figs. 1, 2, and 3. Fig. 2 shows a falling waveform of exponential function which can be achieved by adding a resistor 8 and a capacitor 7 to an input portion of a scan line, as shown in Fig. 7. When the liquid crystal display device uses an external driver integrated circuit, it is possible to realize the waveform by including, at the final stage of the

driver IC, the resistor and the capacitor as described above. It is also possible to achieve the waveform by including a resistor and a capacitor in the input section of the scan line on the active matrix substrate. The values of resistor and capacitor are optimized such that the waveform falls with a time constant within a horizontal return period. However, because the same time constant also applies to the rise, a capability for sufficiently quickly write into the pixel capacitor and to a data line is required as a prerequisite. By setting the falling waveform of the scan line to an exponential function waveform within a range which does not significantly influence the time constant of the rising of the scan line, it is possible to remove high frequency components in the waveform of scan line and to alleviate potential drop in waveform of the pixel potential.